

Requested Patent: JP2000114396A

Title: MANUFACTURE OF SEMICONDUCTOR DEVICE ;

Abstracted Patent: JP2000114396 ;

Publication Date: 2000-04-21 ;

Inventor(s): SUZUKI ATSUSHI ;

Applicant(s): SONY CORP ;

Application Number: JP19980287474 19981009 ;

Priority Number(s): ;

IPC Classification: H01L21/8238; H01L27/092; H01L21/20; H01L29/78 ;

Equivalents: ;

#### ABSTRACT:

**PROBLEM TO BE SOLVED:** To improve drive capacity and reliability of a p-type MOS transistor by preventing depletion in a p-type gate electrode and reducing the sheet resistance.  
**SOLUTION:** An amorphous silicon film 16 is formed on a silicon substrate 11 via a silicon oxide film 12. The amorphous silicon film 16 is changed into a polysilicon film 17 through heat treatment. In this case, the temperature for heat treatment is set to 550 deg.C-700 deg.C, in such a way that the peak of relative frequency of measured value of crystal particle diameter in the polysilicon film 17 exceeds 50 nm. The polysilicon film 17 is patterned to form gate electrodes 17' of polysilicon films 17. Boron or a compound containing boron is introduced as p-type impurities into the gate electrodes 17' of polysilicon films 17. Then, the p-type impurities in the gate electrodes 17' of the polysilicon films 17 are activated by heat treatment to obtain p-type gate electrodes.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-114396

(P2000-114396A)

(43)公開日 平成12年4月21日 (2000.4.21)

(51)Int.Cl.<sup>7</sup>

H 01 L 21/8238  
27/092  
21/20  
29/78

識別記号

F I

H 01 L 27/08  
21/20  
29/78

テマコト<sup>7</sup> (参考)

3 2 1 D 5 F 0 4 0  
5 F 0 4 8  
3 0 1 G 5 F 0 5 2

審査請求 未請求 請求項の数4 OL (全9頁)

(21)出願番号

特願平10-287474

(22)出願日

平成10年10月9日 (1998.10.9)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 鈴木 篤

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 100086298

弁理士 船橋 國則

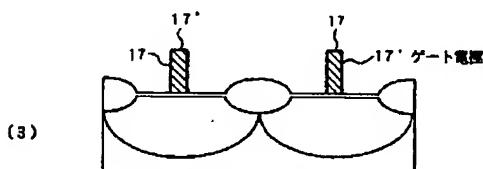
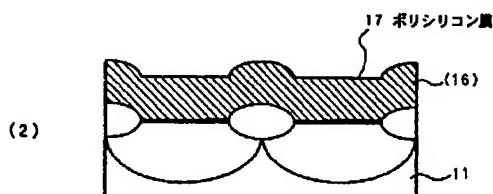
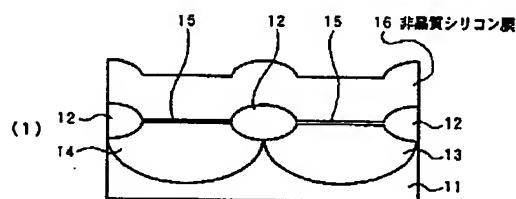
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 p型のゲート電極における空乏化を防止すると共にシート抵抗の低下を図り、p型のMOSトランジスタの駆動能力及び信頼性を向上させる。

【解決手段】 シリコン基板11上に酸化シリコン膜12を介して非晶質シリコン膜16を形成する。熱処理によって、非晶質シリコン膜16をポリシリコン膜17に変化させる。この際、熱処理温度を550°C~700°Cに設定し、ポリシリコン膜17における結晶粒径の測定値の出現度数ピークが50nmを超えるようにする。ポリシリコン膜17をバターニングし、ポリシリコン膜17からなるゲート電極17'を形成する。ポリシリコン膜17からなるゲート電極17'中に、ホウ素またはホウ素を含む化合物をp型の不純物として導入する。熱処理によって、ポリシリコン膜17からなるゲート電極17'中のp型不純物を活性化させ、p型のゲート電極を得る。



## 【特許請求の範囲】

【請求項1】 基材上に非晶質シリコン膜を形成する工程と、

550°C～700°Cの熱処理によって、前記非晶質シリコン膜を結晶粒径の測定値の出現度数ピークが50 nmを超えるポリシリコン膜に変化させる工程と、

前記非晶質シリコン膜または前記ポリシリコン膜に不純物を導入する工程と、

熱処理によって、前記ポリシリコン膜中の不純物を活性化させる工程とを行うことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記不純物は、ホウ素またはホウ素を含む化合物であることを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、

前記不純物を導入する工程を行った後、前記ポリシリコン膜をバターニングして当該ポリシリコン膜からなるゲート電極を形成する工程を行うことを特徴とする半導体装置の製造方法。

【請求項4】 請求項1記載の半導体装置の製造方法において、

前記不純物を導入する工程を行う前に、前記ポリシリコン膜をバターニングして当該ポリシリコン膜からなるゲート電極を形成する工程を行い、

次に、前記ゲート電極を構成する前記ポリシリコン膜に前記不純物を導入する工程を行うことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特にはp型のポリシリコンからなるゲート電極を備えたMOSトランジスタの製造に適する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】MOSトランジスタのゲート電極を構成する材料としては、不純物を含有するポリシリコン膜が用いられている。

【0003】近年、半導体装置の低消費電力化及び高機能化の要求に伴い、メモリ素子や論理素子をはじめとする多くの素子に、Pチャンネル型のMOSトランジスタ（以下、PMOSと記す）とNチャンネル型のMOSトランジスタ（以下、NMOSと記す）とを同一基板上に混載してなるCMOS構成のトランジスタ（以下、CMOSと記す）が用いられるようになってきている。このCMOSのゲート電極には、不純物としてリン（P）やヒ素（As）といったn型不純物を含有するポリシリコン膜が用いられていた。

【0004】ところが、上記CMOSにおいては、さら

なる低消費電力化を促進するための低電源電圧化及び動作速度の高速化が要求されており、これを達成するにはPMOSとNMOSのしきい電圧を十分に低い範囲で対称にする必要がある。このため、PMOSにおいては、n型不純物を含有するポリシリコン膜に替えてp型不純物を含有するポリシリコン膜によってゲート電極を構成するようになってきている。すなわち、NMOSにn型のゲート電極を設け、PMOSにp型のゲート電極を設けることで、NMOS、PMOS共に表面チャネル型とするのである。このような構成のCMOSは、デュアルゲート型のCMOSと呼ばれ、上記p型不純物としてはホウ素（B）または2フッ化ホウ素（BF<sub>2</sub>）のようなホウ素を含有する化合物が用いられている。

【0005】ところで、上記ポリシリコンからなるゲート電極を有す半導体装置を製造する場合には、CVD（Chemical Vapor Deposition）法によってシリコン基板上にポリシリコン膜を形成した後、このポリシリコン膜をバターニングすることによって当該ポリシリコン膜からなるゲート電極を形成している。ゲート電極を構成するポリシリコン膜への不純物の導入は、ポリシリコン膜のバターニング前またはバターニング後にイオン注入によって行われる。そして、ポリシリコン膜に不純物を導入した後には、この不純物を活性化させるための熱処理が行われている。

## 【0006】

【発明が解決しようとする課題】ところが、上記半導体装置の製造方法においては、不純物を活性化するための熱処理における熱履歴が同一であっても、不純物の種類や量によってポリシリコン膜中の不純物の活性化の度合いが大きく異なる。

【0007】図8は、ポリシリコン膜におけるシート抵抗と不純物量との関係を示すグラフである。このグラフは、CVD法によって形成した膜厚200 nmのポリシリコン膜中に、n型不純物としてリンイオン（P<sup>+</sup>）を10 keVの注入エネルギーで各ドーズ量だけイオン注入した結果と、p型不純物としてホウ素イオン（B<sup>+</sup>）を5 keVの注入エネルギーで各ドーズ量だけイオン注入した結果であり、各イオン注入の後には1000°Cで10秒間の活性化熱処理を行っている。これらのグラフに示すように、P<sup>+</sup>を導入したポリシリコンと比較して、B<sup>+</sup>を導入したポリシリコンは、不純物の注入ドーズ量の増加に対するシート抵抗の低下率が低いことが分かる。これは、ポリシリコン膜中におけるP<sup>+</sup>と比較して、ポリシリコン中におけるB<sup>+</sup>の活性化の度合いが低いことに起因している。

【0008】この結果、上記製造方法によって得られたCMOSにおいては、n型のゲート電極と比較してp型のゲート電極が空乏化し易くなる。これは、p型のゲート電極を有するPMOS及びこのPMOSを有するCMOSの駆動能力を低下させる要因になっている。しかも、

上記空乏化によって、PMOSにおけるゲート絶縁膜の信頼性が劣化する。また、このゲート電極の空乏化は、半導体装置の微細化が進行してゲート絶縁膜が薄膜化する程顕著になることも報告されていることから、今後さらに大きな課題となる。

【0009】さらに、1000°Cにおけるリン(P)のシリコンに対する固溶度は $9 \times 10^{20}$ 個/ $\text{cm}^3$ であり、この固溶範囲においては $P^+$ を導入したn型のポリシリコンのシート抵抗を数十 $\Omega/\text{cm}^2$ 程度にまで下げることができる。これに対して、ホウ素(B)のシリコンに対する固溶度は $3 \times 10^{20}$ 個/ $\text{cm}^3$ 程度であり、この固溶範囲においては $B^+$ を導入したp型のポリシリコンのシート抵抗を、数十 $\Omega/\text{cm}^2$ 程度にまで下げることはできない。

【0010】また、図9(1)及び図9(2)は $P^+$ を導入したn型のポリシリコンにおける結晶粒径のヒストグラムであり、図10(1)及び図10(2)は $B^+$ を導入したp型のポリシリコンにおける結晶粒径のヒストグラムである。尚、各ポリシリコンとともに、CVD法によって形成したポリシリコン膜中に不純物をイオン注入によって導入した後に活性化処理を行って得られたものであり、各ヒストグラムとも透過型電子顕微鏡にて調べた結果である。これらの各図に示すように、 $P^+$ を導入したポリシリコンは、ドーズ量の増加に伴って結晶粒径が大きくなっている。これに対して、 $B^+$ を導入したポリシリコンは、ドーズ量を増加させても結晶粒径が大きくなることはない。ここで、一般的には、ポリシリコンの結晶粒径が大きいほど、ポリシリコン中における電子移動度は高くなることが知られている。

【0011】以上のことから、p型のポリシリコンは、n型のポリシリコンよりも電子移動度の向上、すなわちシート抵抗の低下に限界があることがわかる。したがって、上記半導体装置の製造方法では、数十 $\Omega/\text{cm}^2$ 程度の低いシート抵抗を有するp型のポリシリコンを得ることができない。これは、このゲート電極を有するPMOS及びこのPMOSを有するCMOSの駆動能力を低下する要因になっている。

#### 【0012】

【課題を解決するための手段】上記課題を解決するための本発明の半導体装置の製造方法は、以下の工程を行うことを特徴としている。先ず、基材上に非晶質シリコン膜を形成する。次に、熱処理によって、この非晶質シリコン膜をポリシリコン膜に変化させる。この際、このポリシリコン膜における結晶粒径の測定値の出現度数のピークが50nmを超えるように、上記熱処理の温度を550°Cから700°Cに設定する。また、上記非晶質シリコン膜またはこのポリシリコン膜に不純物を導入する工程を行う。この不純物は、ホウ素またはホウ素を含有する化合物であることとする。

【0013】上記半導体装置の製造方法では、非晶質シ

リコン膜を熱処理してポリシリコン膜に変化させる際、熱処理の温度を550°C～700°Cの低温に設定することで、結晶粒径の測定値の出現度数ピークを50nmを超える大粒径のポリシリコン膜を得るようにしている。このため、ポリシリコン膜中における結晶粒界の面積が縮小され、この結晶粒界に偏析する不純物量が削減される。したがって、このポリシリコン膜中に導入される不純物がホウ素やホウ素を含有する化合物であっても、ポリシリコンの結晶粒内に取り込まれて活性化される不純物量が増加し、活性化の度合いが向上する。しかも、ポリシリコン膜における結晶粒径の測定値の出現度数ピークを50nmを超えるものにしたことで、上記不純物がホウ素やホウ素を含有する化合物であっても、ポリシリコン膜のシート抵抗が数十 $\Omega/\text{cm}^2$ 程度にまで低下する。

【0014】さらに、この半導体装置の製造方法は、上記不純物を導入する工程を行った後、このポリシリコン膜をバーニングして当該ポリシリコン膜からなるゲート電極を形成する工程を行うか、または、上記ポリシリコン膜をバーニングして当該ポリシリコン膜からなるゲート電極を形成した後、このポリシリコン膜に上記不純物を導入する工程を行う。

【0015】上記半導体装置の製造方法では、不純物が十分に活性化された低シート抵抗のp型のポリシリコン膜からなるゲート電極が得られる。したがって、このゲート電極を有する半導体装置においては、ゲート電極の空乏化が抑えられると共にゲート電極が低シート抵抗化される。

#### 【0016】

##### 【発明の実施の形態】

【0017】以下、本発明の半導体装置の製造方法をデュアルゲートCMOSの製造に適用した実施の形態を図面に基づいて説明する。先ず、図1(1)に示すように、N型のシリコン基板11の表面側に、素子分離技術によって酸化シリコン膜からなる素子分離膜12を形成する。その後、シリコン基板11において、NMOSが形成される領域(NMOS領域)にPウェル拡散層13を形成し、PMOSが形成される領域(PMOS領域)にNウェル拡散層14を形成する。その後、熱酸化法によって、シリコン基板11の表面層に、5nm程度の膜厚の酸化シリコン膜15を成長させる。以上によって、請求項に示す基材を形成する。

【0018】しがる後、上記基材上、すなわち酸化シリコン膜15が形成されたシリコン基板11の上方に、非晶質シリコン膜16を形成する。この非晶質シリコン膜16は、例えばCVD法(シリコン基板11の加熱温度条件: 550°C)によって形成され、200nm程度の膜厚に形成する。

【0019】次に、図1(2)に示すように、熱処理を行うことによって、非晶質シリコン膜16における非晶

質シリコンを結晶化させ、この非晶質シリコン膜16をポリシリコン膜17に変化させる。この際、ポリシリコン膜17における結晶粒径の測定値の出現度数ピークが50nmを超えるように、加熱温度を550°C~700°Cの低温に抑えて熱処理を行う。ここでは例えば、窒素ガス雰囲気下において、600°Cで10時間の熱処理を行うこととする。

【0020】以上その後、図1(3)に示すように、フォトリソグラフィーと異方性エッチングとによって、ポリシリコン膜17をバターニグし、ポリシリコン膜17からなるゲート電極17'を形成する。

【0021】次に、図2(1)に示すように、PMOS領域、すなわちNウェル拡散層14の上方をレジスト膜18で覆う。そして、このレジスト膜18をマスクにしたイオン注入によって、Pウェル拡散層13上のゲート電極17'及びシリコン基板11の表面層(Pウェル拡散層13の表面層)に、n型の不純物19を導入する。ここでは、ヒ素イオン( $As^+$ )を、注入エネルギー15keV、注入ドーズ量 $6 \times 10^{13}$ 個/cm<sup>2</sup>の条件で導入する。このイオン注入が終了した後に、レジスト膜18を除去する。

【0022】次に、図2(2)に示すように、Pウェル拡散層13の上方をレジスト膜20で覆う。そして、このレジスト膜19をマスクにしたイオン注入によって、Nウェル拡散層14上のゲート電極17'及びシリコン基板11の表面層(Nウェル拡散層14の表面層)に、p型の不純物21を導入する。ここでは、p型の不純物として、2フッ化ホウ素イオン( $BF_2^+$ )を、注入エネルギー10keV、注入ドーズ量 $1 \times 10^{14}$ 個/cm<sup>2</sup>の条件で導入する。このイオン注入が終了した後に、レジスト膜20を除去する。

【0023】その後、図2(3)に示すように、ゲート電極17'の側壁に、窒化シリコンからなるサイドウォール22を形成する。このサイドウォール22を形成するには先ず、CVD法によって、ゲート電極17'を覆う状態でシリコン基板11上に100nm程度の膜厚の窒化シリコン膜(図示省略)を形成する。その後、この窒化シリコン膜を全面エッチバックしてゲート電極17'の側壁にのみサイドウォールとなる窒化シリコン膜を残す。

【0024】次に、Nウェル拡散層14の上方をレジスト膜23で覆う。そして、このレジスト膜23をマスクにしたイオン注入によって、Pウェル拡散層13上のゲート電極17'及びシリコン基板11の表面層(Pウェル拡散層13の表面層)に、n型の不純物24を導入する。ここでは、ヒ素イオン( $As^+$ )を、注入エネルギー40keV、注入ドーズ量 $5 \times 10^{15}$ 個/cm<sup>2</sup>の条件で導入する。このイオン注入が終了した後に、レジスト膜23を除去する。

【0025】その後、図3(1)に示すように、Pウェ

ル拡散層13の上方をレジスト膜25で覆う。そして、このレジスト膜25をマスクにしたイオン注入によって、Nウェル拡散層14上のゲート電極17'及びシリコン基板11の表面層(Nウェル領域14の表面層)に、p型の不純物26を導入する。ここでは、p型の不純物26として、ホウ素イオン( $B^+$ )を、注入エネルギー5keV、注入ドーズ量 $4 \times 10^{15}$ 個/cm<sup>2</sup>の条件で導入する。このイオン注入が終了した後に、レジスト膜25を除去する。

【0026】以上その後、図3(2)に示すように、ゲート電極17'及びシリコン基板11の表面層に導入した上記各不純物の活性化熱処理を行う。ここでは、1000°Cで10秒程度の急速熱処理を行う。

【0027】これによって、NMOS領域に、n型のポリシリコンからなるゲート電極17a、n型のLDD拡散層27a及びn型のソース/ドレイン拡散層28aを有する表面チャネル型のNMOS1aを形成する。また、PMOS領域に、p型のポリシリコンからなるp型のゲート電極17b、p型のLDD拡散層27b及びp型のソース/ドレイン拡散層28bを有する表面チャネル型のPMOS1bを形成し、デュアルゲートCMOSを完成させる。

【0028】上記デュアルゲートCMOSの製造方法によれば、図1(2)を用いて説明したように、非晶質シリコン膜16を熱処理してポリシリコン膜17に変化させる際、熱処理の温度を550°C~700°Cの低温に設定することで、結晶粒径の測定値の出現度数ピークが50nmを超える程度に大粒径化されたポリシリコン膜17を得ている。

【0029】これによって、CVD法によって形成されたポリシリコン膜と比較して、ポリシリコン膜17中における結晶粒径が大型化されて結晶粒界の面積が縮小され、この結晶粒界に偏析する不純物が少なくなる。このため、ポリシリコン膜17中に導入される不純物が、元来活性化され難いとされていたホウ素やホウ素を含有する化合物であっても、ポリシリコンの結晶粒内に取り込まれた状態で活性化される不純物量が増加し、活性化の度合いが向上する。

【0030】したがって、p型のゲート電極17b中におけるp型の不純物21、26の活性化の度合いが向上し、p型のゲート電極17bにおける空乏化を防止することが可能になる。この結果、p型のゲート電極17bを有するPMOS1b及びこのPMOS1bとNMOS1aとで構成されるデュアルゲートCMOSの駆動能力が向上すると共に、PMOS1bにおける酸化シリコン膜15からなるゲート絶縁膜の信頼性、さらには上記デュアルゲートCMOSの信頼性が向上する。

【0031】しかも、ポリシリコン膜17における結晶粒径の測定値の出現度数ピークを50nmを超えるものにしたことで、ポリシリコン膜17内に導入する不純物

がホウ素やホウ素を含有する化合物であっても、ポリシリコン膜17のシート抵抗を数十 $\Omega/\text{cm}^2$ 程度にまで低下させることができくなる。この結果、p型のゲート電極17bを有するPMOS1b及びこのPMOS1bとNMOS1aとで構成されるデュアルゲートCMOSの駆動能力が向上する。

### 【0032】

【実施例】次に、本発明の半導体装置の製造方法を適用した実施例を説明する。尚、ここでは、本発明をMOSトランジスタの製造方法に適用した場合において、このMOSトランジスタのゲート電極となるp型のポリシリコン膜を形成する工程のみを抜粋して説明する。

【0033】先ず、図4(1)に示すように、N型のシリコン基板41の表面層に、熱酸化法によって5nm程度の膜厚の酸化シリコン膜42を成長させた。そして、表面が酸化シリコン膜42で覆われたシリコン基板41を、請求項に示す基材として形成した。

【0034】しかる後、図4(2)に示すように、上記基材上、すなわち酸化シリコン膜42が形成されたシリコン基板41の上方に、非晶質シリコン膜43を形成した。この非晶質シリコン膜43は、CVD法(シリコン基板の加熱温度条件: 550°C)によって、200nm程度の膜厚で形成した。

【0035】次に、図4(3)に示すように、熱処理を行うことによって、非晶質シリコン膜43における非晶質シリコンを結晶化させ、この非晶質シリコン膜43をポリシリコン膜44に変化させた。この際、ポリシリコン膜44における結晶粒径の測定値の出現度数ピークが50nmを超えるように、処理温度を抑えて熱処理を行った。ここでは、窒素ガス雰囲気下において、650°Cで10時間の熱処理を行った。

【0036】次に、図4(4)に示すように、イオン注入によって、ポリシリコン膜44中にp型の不純物45としてホウ素イオン(B<sup>+</sup>)を導入した。ここでは、後にポリシリコン膜44におけるシート抵抗の注入ドーズ量依存性を調べるためにドーズ量を変化させた各イオン注入を行った。各イオン注入条件は、次の通りである。注入エネルギー5keV、注入ドーズ量 $3 \times 10^{15}$ 、 $6 \times 10^{15}$ 、 $9 \times 10^{15}$ 個/ $\text{cm}^2$ 。

【0037】以上の後、図4(5)に示すように、ポリシリコン膜44中における上記不純物の活性化熱処理を行った。ここでは、窒素雰囲気中におけるランプ加熱によって、1000°Cで10秒の急速熱処理を行った。以上のようにしてp型のポリシリコン膜44aを形成した。そして、このポリシリコン膜44aを実施例サンプルとし、この実施例サンプルに関してシート抵抗のドーズ量依存性を調べた。

【0038】また、上記実施例サンプルに対する比較例サンプル1として、CVD成膜によって形成されたポリシリコン膜にp型の不純物を導入する従来の方法で形成

されたp型のポリシリコン膜を用意した。以下に、この比較例サンプル1の形成方法を説明する。尚、上記実施例と同様の構成要素には同一の符号を付して説明を行うこととする。

【0039】先ず、図5(1)に示すように、N型のシリコン基板41の表面層に、熱酸化法によって5nm程度の膜厚の酸化シリコン膜42を成長させ、請求項に示す基材を形成した。

【0040】しかる後、図5(2)に示すように、上記基材上、すなわち酸化シリコン膜42が形成されたシリコン基板41の上方に、CVD法によってポリシリコン膜51を形成した。このポリシリコン膜51は、シリコン基板の加熱温度条件を625°Cに設定して、200nm程度の膜厚に形成した。

【0041】次に、図5(3)に示すように、イオン注入によって、ポリシリコン膜51中にp型の不純物45としてホウ素イオン(B<sup>+</sup>)を導入した。ここでのイオン注入条件は、上記実施例サンプルの形成におけるp型の不純物のイオン注入条件と同様とする。

【0042】以上の後、図5(4)に示すように、ポリシリコン膜51中におけるp型の不純物45の活性化熱処理を行った。ここでの活性化熱処理条件は、上記実施例サンプルの形成における活性化熱処理条件と同様とする。そして、以上のようにして得られたp型のポリシリコン膜51aを比較例サンプル1とし、この比較例サンプル1に関してシート抵抗のドーズ量依存性を調べた。

【0043】さらに、比較例サンプル2として、単結晶シリコン層に不純物を導入して得られたp型の単結晶シリコン層を用意した。以下に、この比較例サンプル2の形成方法を説明する。先ず、図6(1)に示すように、イオン注入によって、N型のシリコン基板41の表面層にp型の不純物45としてホウ素イオン(B<sup>+</sup>)を導入した。ここでのイオン注入条件は、上記実施例サンプルの形成におけるp型の不純物のイオン注入条件と同様とする。

【0044】以上の後、図6(2)に示すように、シリコン基板41の表面層中に導入したp型の不純物45の活性化熱処理を行った。ここでの活性化熱処理条件は、上記実施例サンプルの形成における活性化熱処理条件と同様とする。以上のようにして、シリコン基板41の表面層にp型の単結晶シリコン層41aを形成し、この単結晶シリコン層41aを比較例サンプル2とした。そして、この比較例サンプル2に関してシート抵抗の注入ドーズ量依存性を調べた。

【0045】図7は、上記実施例サンプル、比較例サンプル1及び比較例サンプル2に関する、シート抵抗の注入ドーズ量依存性を示すグラフである。これらのグラフから明らかのように、実施例サンプルのシート抵抗は、従来の方法で形成された比較例サンプル1のシート抵抗よりも低く、単結晶シリコン層からなる比較例サンプル

2と同程度のシート抵抗（数十Ω／cm<sup>2</sup>）になっていることが分かる。この結果、実施例サンプルは、ポリシリコンの粒径が比較例サンプル1よりも大粒径化して、その結晶性が単結晶シリコンに近づいたことが確認された。

#### 【0046】

【発明の効果】以上説明したように本発明の半導体装置の製造方法によれば、ポリシリコン膜中に導入される不純物がホウ素やホウ素を含有する化合物であっても、当該ポリシリコン膜中における不純物の活性化の度合いを向上させてこのポリシリコン膜からなるゲート電極の空乏化を抑制することができると共に、当該ポリシリコン膜におけるシート抵抗を十分に低下させることができ可能になる。この結果、駆動能力及び信頼性に優れた表面チャネル型のPMOS及びこのPMOSを用いたデュアルゲートCMOSを構成することが可能になる。

#### 【図面の簡単な説明】

【図1】本発明を適用したデュアルゲートCMOSの製造方法を説明する断面工程図（その1）である。

【図2】本発明を適用したデュアルゲートCMOSの製

造方法を説明する断面工程図（その2）である。

【図3】本発明を適用したデュアルゲートCMOSの製造方法を説明する断面工程図（その3）である。

【図4】本発明を適用した実施例を説明する断面工程図である。

【図5】実施例の比較となる比較例サンプル1の形成を説明する断面工程図である。

【図6】実施例の比較となる比較例サンプル2の形成を説明する断面工程図である。

【図7】各サンプルにおけるシート抵抗の注入ドーズ量依存性を示すグラフである。

【図8】ポリシリコン膜におけるシート抵抗の注入ドーズ量依存性を示すグラフである。

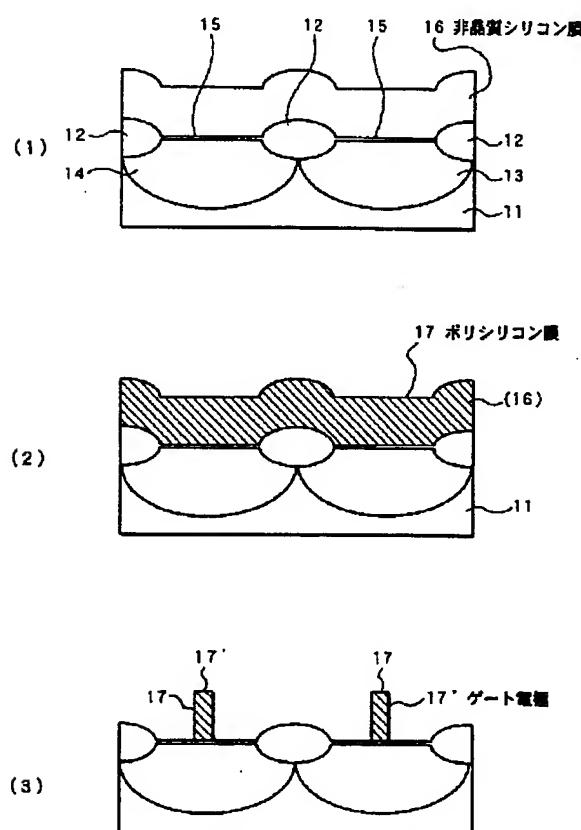
【図9】n型のポリシリコン膜における結晶粒径のヒストグラムである。

【図10】従来のp型のポリシリコン膜における結晶粒径のヒストグラムである。

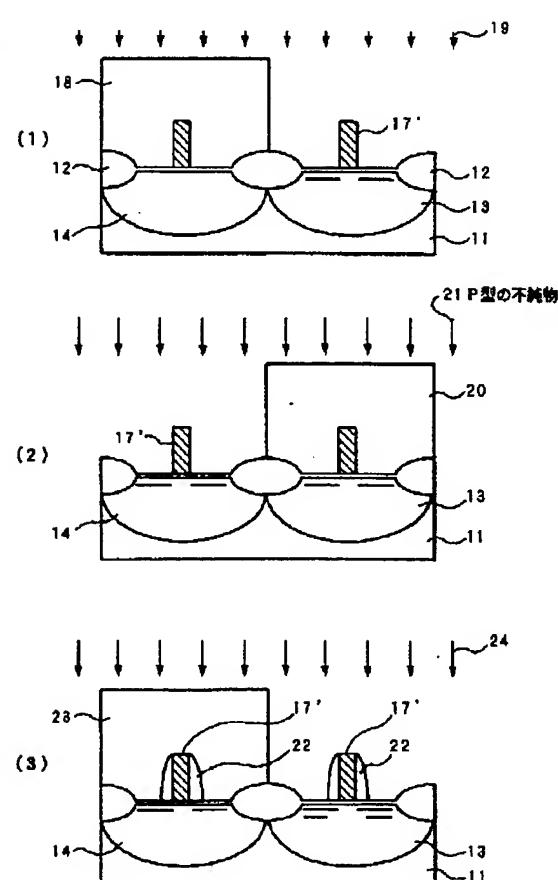
#### 【符号の説明】

16…非晶質シリコン膜、17…ポリシリコン膜、17'…ゲート電極、17b…p型のゲート電極

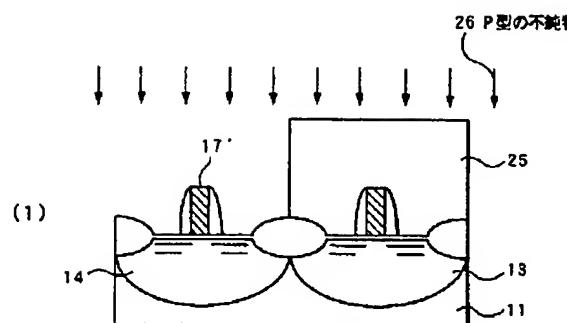
【図1】



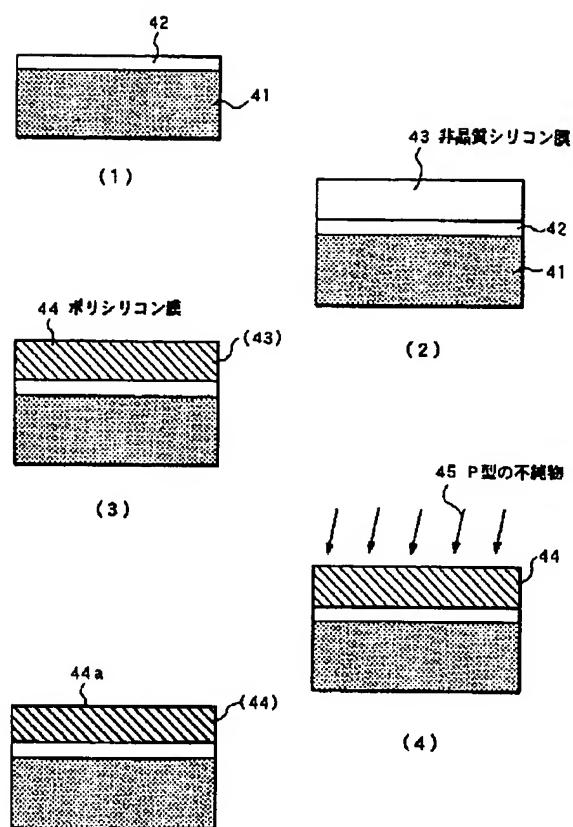
【図2】



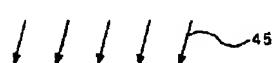
【図3】



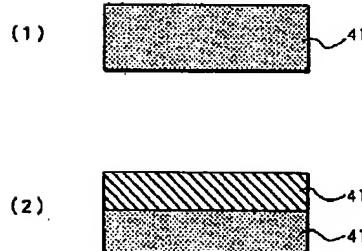
【図4】



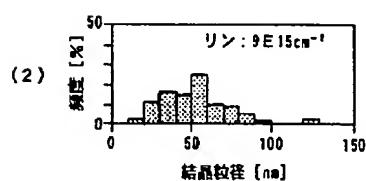
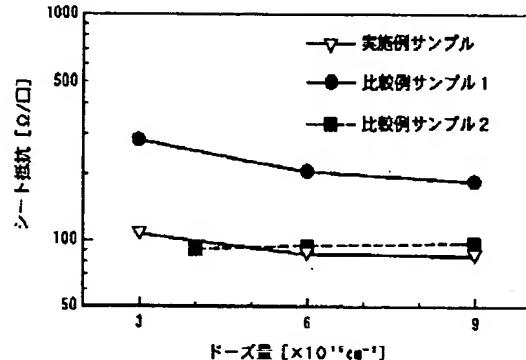
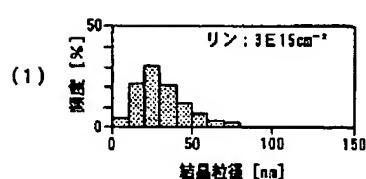
【図6】



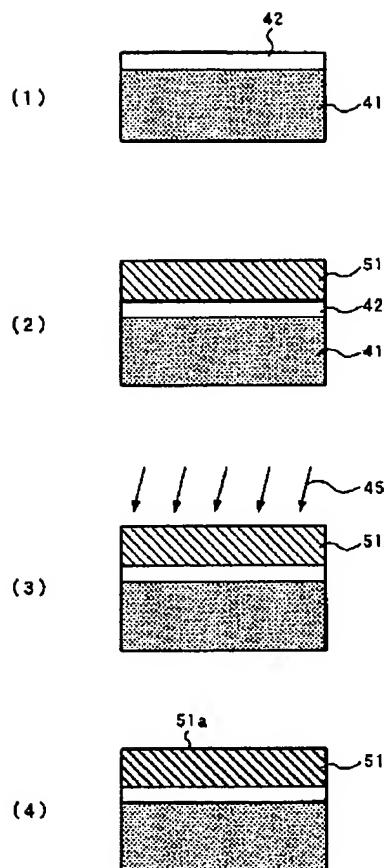
【図7】



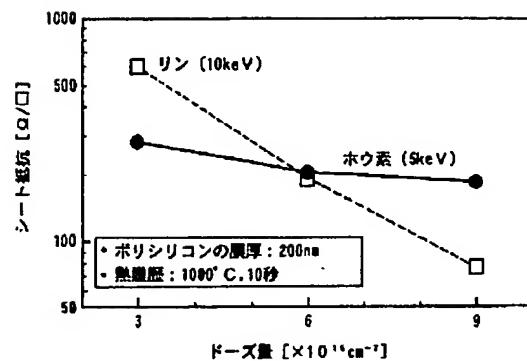
【図9】



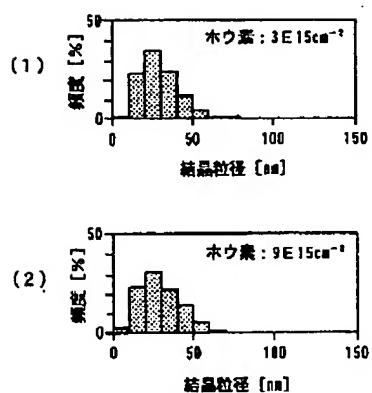
【図5】



【図8】



【図10】



フロントページの続き

F ターム(参考) 5F040 DA01 DA02 DA05 DA06 DB03  
DC01 EB03 EC07 EP02 FA07  
FB02 FC21  
5F048 AA07 AA08 AC03 BA01 BB06  
BB07 BC06 BE03 BG12  
5F052 AA11 CA04 DA01 DB01 FA05  
FA06 JA02 JA03 JA04 KA05